



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Mitsuhiro Ishiguro **Examiner:** Unassigned
Serial No.: 10/706,597 **Group Art Unit:** Unassigned
Filed: November 12, 2003 **Docket:** 17228
For: SEMICONDUCTOR MEMORY **Dated:** December 5, 2003


Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application 2002-327239, filed on November 11, 2002.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343
PJE:kmc

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on December 5, 2003.

Dated: December 5, 2003


Paul J. Esatto, Jr.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 1 日
Date of Application:

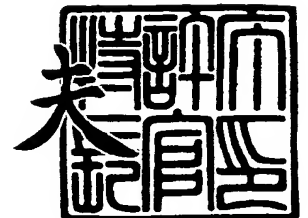
出 願 番 号 特 願 2 0 0 2 - 3 2 7 2 3 9
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 2 7 2 3 9]

出 願 人 エヌイーシーマイクロシステム株式会社
Applicant(s):

2 0 0 3 年 8 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 4 1 5 6

【書類名】 特許願
【整理番号】 01220001
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/10
G11C 11/34
H01L 27/112

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目 4 0 3 番 5 3
エヌイーシーマイクロシステム株式会
社内

【氏名】 石黒 充洋

【特許出願人】

【識別番号】 000232036
【氏名又は名称】 エヌイーシーマイクロシステム株式会社

【代理人】

【識別番号】 100109313
【弁理士】
【氏名又は名称】 机 昌彦
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268
【弁理士】
【氏名又は名称】 河合 信明
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637
【弁理士】
【氏名又は名称】 谷澤 靖久
【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0214926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ

【特許請求の範囲】

【請求項 1】 メモリセルアレイがM本のワード線ごとに列方向に分割され、分割されたブロックが、アドレスに応じて選択的に接地されるN+1本の仮想接地線と、これら仮想接地線の上に位置しアドレスに応じて選択的にセンスされるN本の主ビット線とを共有し、列方向に隣接して交互に線対称に配置され、前記仮想接地線に対応して4分の1の等間隔で配線された拡散層線の隣接拡散層線をドレインまたはソースとしM本のワード線をゲートとするM行および4N列のメモリセルを備える半導体メモリにおいて、

前記ブロックが、前記拡散層線の一端側で前記主ビット線に接続する拡散層と4列メモリセル単位の中央の拡散層線およびその隣接拡散層線とをそれぞれドレインまたはソースとしビット列選択線をそれぞれゲートとする3個のビット列選択トランジスタと、

前記拡散層線他端側で前記仮想接地線に接続する拡散層と4列メモリセル単位の端の拡散層線およびその隣接拡散層線とをそれぞれドレインまたはソースとし接地列選択線をそれぞれゲートとする3個の接地列選択トランジスタと、

前記拡散層線他端側の隣接ブロックとの間で4列メモリセル単位の中央の拡散層線を互いに接続するブロック間ビット線の半分と、

前記拡散層線一端側の隣接ブロックとの間で4列メモリセル単位の端の拡散層線を互いに接続するブロック間接地線の半分とを4列メモリセル単位に備えることを特徴とする半導体メモリ。

【請求項 2】 前記ブロック間ビット線が、前記拡散層線他端側の隣接ブロックとの間で前記拡散層線他端を互いに接続し、前記ブロック間接地線が、前記拡散層線一端側の隣接ブロックとの間で前記拡散層線一端を互いに接続する、請求項 1 記載の半導体メモリ。

【請求項 3】 前記ブロック間ビット線が、前記拡散層線他端側の隣接ブロックとの間で前記拡散層線一端を互いに接続し、前記ブロック間接地線が、前記拡散層線一端側の隣接ブロックとの間で前記拡散層線他端を互いに接続

する、請求項 1 記載の半導体メモリ。

【請求項 4】 前記ブロック間ビット線および前記ブロック間接地線は、前記主ビット線または前記仮想接地線と異なる配線層で形成され、コネクタを介して前記拡散層線の一端または他端にそれぞれ接続する、請求項 3 記載の半導体メモリ。

【請求項 5】 前記主ビット線および前記仮想接地線が、互いに異なる配線層で形成された配線である、請求項 1, 2, 3 または 4 記載の半導体メモリ。

【請求項 6】 メモリセル無しのダミーのビット列選択ブロックまたは接地列選択ブロックを複数ブロックの初段ブロックまたは終段ブロックに隣接して備える、請求項 1, 2, 3, 4 または 5 記載の半導体メモリ。

【請求項 7】 前記ダミーのビット列選択ブロックが、前記ブロック間ビット線および前記主ビット線をドレインまたはソースに接続しビット列選択線をゲートとするビット列選択トランジスタと、
前記ブロック間ビット線に接続し前記拡散層線の 3 本と電氣的に等価なダミーの拡散層またはトランジスタとを 4 列メモリセル単位に備える、請求項 6 記載の半導体メモリ。

【請求項 8】 前記ダミーの接地列選択ブロックが、前記ブロック間接地線および前記仮想接地線をドレインまたはソースに接続し接地列選択線をゲートとする接地列選択トランジスタと、
前記ブロック間接地線に接続し前記拡散層線と電氣的に等価なダミーの拡散層またはトランジスタとを 4 列メモリセル単位に備える、請求項 6 記載の半導体メモリ。

【請求項 9】 メモリセルアレイが M 本のワード線ごとに列方向に分割され、分割されたブロックが、アドレスに応じて選択的に接地、プリチャージまたはセンスされる複数の主ビット線を有し、列方向に隣接して交互に線対称に配置され、前記主ビット線に対応して 2 分の 1 の等間隔で配線された拡散層線の隣接拡散層線をドレインまたはソースとし M 本のワード線をゲートとする M 行および 2 列単位のメモリセルを備える半導体メモリにおいて、
前記ブロックが、前記拡散層線の一端側、他端側で交互に主ビット線に接続する

拡散層と主ビット線に対応した拡散層線およびその隣接拡散層線とをそれぞれドレインまたはソースとし第1, 第2の列選択線をそれぞれゲートとする3個の列選択トランジスタと、

前記拡散層線他端側、一端側の隣接ブロックとの間で交互に主ビット線に対応した拡散層線を互いに接続するブロック間ビット線の半分とを2列メモリセル単位に備えることを特徴とする半導体メモリ。

【請求項10】 前記メモリセルが、フローティングゲートまたはONO (Oxide/Nitride/Oxide) 膜をワード線の下層に配置する不揮発性メモリセルである、請求項1, 2, 3, 4, 5, 6, 8または9記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体メモリに関し、特に、等間隔で配線された拡散層線の隣接拡散層線をドレインまたはソースとしワード線をゲートとするメモリセルを備える半導体メモリに関する。

【0002】

【従来の技術】

従来、この種の半導体メモリは、大容量メモリとして広く用いられてきた。また、高速化のため、メモリセルアレイが、M本のワード線ごとに列方向に分割され、複数ブロックから構成される。この場合、分割されたブロックが、アドレスに応じて選択的に接地されるN+1本の仮想接地線と、これら仮想接地線の間に位置しアドレスに応じて選択的にセンスされるN本の主ビット線とを共有し、列方向に隣接して交互に線対称に配置され、仮想接地線に対応して4分の1の等間隔で配線された拡散層線の隣接拡散層線をドレインまたはソースとしM本のワード線をゲートとするM行および4N列のメモリセルを備える。例えば、図8は、この従来の半導体メモリにおけるメモリセルアレイの1部を示す部分回路図である(特許文献1参照)。

【0003】

図8を参照すると、この従来の半導体メモリは、メモリセルアレイが3本のワード線ごとに列方向に3つのブロックに分割され、分割された各ブロック0, 1, 2が、アドレスに応じて選択的に接地される2本の仮想接地線D3, D5と、これら仮想接地線の上に位置しアドレスに応じて選択的にセンスされる2本の主ビット線D4, D6とを共有し、列方向に隣接して交互に線対称に配置される。但し、ワード線およびブロックの数は、図面記載の便宜上、それぞれ3つとされ、仮想接地線または主ビット線も4本のみ記載されている。

【0004】

また、各ブロック0, 1, 2は、仮想接地線に対応して4分の1の等間隔で配線された拡散層線の隣接拡散層線をドレインまたはソースとし3本のワード線をゲートとする3行および4列単位のメモリセルを備え、更に、拡散層線の一端側、他端側で、2本の列選択線をそれぞれ配線し、主ビット線および仮想接地線に対応して、3個のビット列選択トランジスタと、3個の接地列選択トランジスタとを4列メモリセル単位に備える。

【0005】

例えば、ブロック1は、拡散層線BN11~17の一端側で、主ビット線D4に接続する3個のビット列選択トランジスタS41, S40, S42を備える。ビット列選択トランジスタS41は、主ビット線D4に接続する拡散層と、4列メモリセル単位の中央の拡散層線BN13とをドレインまたはソースとし列選択線BS11をゲートとし、ビット列選択トランジスタS40, S42は、主ビット線D4に接続する拡散層と、拡散層線BN13の隣接拡散層線BN12, BN14とをそれぞれドレインまたはソースとし列選択線BS10をそれぞれゲートとする。

【0006】

また、ブロック1は、拡散層線BN11~17の他端側で、仮想接地線D5に接続する3個の接地列選択トランジスタS51, S50, S52を備える。接地列選択トランジスタS51は、仮想接地線D5に接続する拡散層と、4列メモリセル単位の端の拡散層線BN15とをドレインまたはソースとし列選択線BS10をゲートとし、接地列選択トランジスタS50, S52は、拡散層線BN15

の隣接拡散層線 BN14, BN16 とをそれぞれドレインまたはソースとし列選択線 BS11 をそれぞれゲートとする。

【0007】

次に、この従来の半導体メモリにおけるメモリセルの選択動作について説明する。なお、この従来の半導体メモリにおいて、各ブロックのメモリセルアレイは、4列メモリセル単位に同一構成であり同様または対称的に動作するので、例えば、図示したように、仮想接地線 D3, D5 間と、ブロック1のワード線 W11 とに対応した4つのメモリセル M1～M4 を選択する場合について、それぞれ説明する。

【0008】

これらメモリセル M1～M4 選択の場合、それぞれ、ブロック1のワード線 W11 のみが高レベルになり、対応するメモリセルは、メモリデータに応じてそれぞれオンまたはオフし、ワード線 W11 以外の全ブロックのワード線 W10, W12, W00～02, W20～22 は低レベルであり、対応するメモリセルは、全てオフしている。

【0009】

まず、メモリセル M1 選択の場合、アドレスに応じて仮想接地線 D3, D5 が選択的に接地、プリチャージされ、主ビット線 D4 が選択的にセンスアンプに接続されセンスされ、列選択線 BS10 が高レベルになる。これにより、接地列選択トランジスタ S31, S51 およびビット列選択トランジスタ S40, S42 がオンし、メモリセル M1 を含むメモリセル列の両側の拡散層線 BN11, BN12 が接地、センスされ、ワード線 W11 に対応したメモリセル M1 のオンまたはオフに応じてセンス電流が主ビット線 D4 に流れる。

【0010】

メモリセル M2 選択の場合、アドレスに応じて仮想接地線 D3, D5 が選択的に接地、プリチャージされ、主ビット線 D4 が選択的にセンスアンプに接続されセンスされ、列選択線 BS11 が高レベルになる。これにより、接地列選択トランジスタ S32, S50 およびビット列選択トランジスタ S41 がオンし、メモリセル M2 を含むメモリセル列の両側の拡散層線 BN12, BN13 が接地、セ

ンスされ、ワード線W11に対応したメモリセルM2のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0011】

メモリセルM3選択の場合、アドレスに応じて仮想接地線D5、D3が選択的に接地、プリチャージされ、主ビット線D4が選択的にセンスアンプに接続されセンスされ、列選択線BS11が高レベルになる。これにより、接地列選択トランジスタS50、S32およびビット列選択トランジスタS41がオンし、メモリセルM3を含むメモリセル列の両側の拡散層線BN14、BN13が接地、センスされ、ワード線W11に対応したメモリセルM3のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0012】

メモリセルM4選択の場合、アドレスに応じて仮想接地線D5、D3が選択的に接地、プリチャージされ、主ビット線D4が選択的にセンスアンプに接続されセンスされ、列選択線BS10が高レベルになる。これにより、接地列選択トランジスタS51、S31およびビット列選択トランジスタS42、S40がオンし、メモリセルM4を含むメモリセル列の両側の拡散層線BN15、BN14が接地、センスされ、ワード線W11に対応したメモリセルM4のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0013】

また、上述のように、4列メモリセル単位の仮想接地線D3、D5の一方を常にプリチャージすることにより、隣接する4列メモリセルとの間で、選択のメモリセルを介したチャージシェアリングが防止され、メモリセルM1～M4の選択が4列メモリセル単位で分離されて行われる。

【0014】

図9は、この従来の半導体メモリにおけるメモリセルアレイの1部を示す部分レイアウト図であり、図8に示したメモリセルアレイの1部におけるブロック1の部分を示す。この従来の半導体メモリは、図9に示すように、各ブロックが、等間隔で配線された拡散層線の隣接拡散層線をドレインまたはソースとしワード線をゲートとするメモリセルを備え、拡散層線の一端側および他端側で、交互に

、主ビット線、仮想接地線に接続するコネクタを1個ずつ4列メモリセル単位に備えて構成でき、大容量メモリが可能であり、また、メモリセルアレイが複数のワード線ごとに列方向にブロック分割され、主ビット線に選択的に並列接続されるメモリセル数が少なく、主ビット線の負荷が小さくなり、高速化が可能である。

【0015】

また、この従来の半導体メモリは、アドレスに応じてワード線により選択されるメモリセルが異なっても、主ビット線から仮想接地線に流れるセンス電流の経路が、同等のビット列選択トランジスタと、同等のメモリセルと、同等の接地列選択トランジスタと、ほぼ1本分の長さの拡散層線とから構成され、ほぼ一定の等価抵抗を有し、動作マージンを確保し易くなり、センスアンプを高速設計でき、更に高速化が可能である。

【0016】

【特許文献1】

特開平5-167042号公報（段落0022～0026，図3，図4）

【0017】

【発明が解決しようとする課題】

上述したように、この従来の半導体メモリでは、例えば、メモリセルM1，M4選択の場合、アドレスに応じてビット列選択トランジスタS40，S42がオンし、主ビット線D4から拡散層線BN12，BN14が充電され、更に、メモリセルM2またはM3の状態により拡散層線BN13が充電される。また、メモリセルM2，M3選択の場合、アドレスに応じてビット列選択トランジスタS41がオンし、主ビット線D4から拡散層線BN13が充電され、更に、メモリセルM3，M2の状態により拡散層線BN14またはBN12が充電される。

【0018】

従って、この従来の半導体メモリでは、アドレス選択およびメモリセル状態に応じて、主ビット線から充電される拡散層線が1本～3本とばらつき、主ビット線D4から充電される充電負荷容量が3倍ばらつき、動作マージンが狭くなり、

主ビット線を介してセンスアンプがセンスするセンス判定時間が遅延し、更に高速化することが難しいと云う問題がある。

【 0 0 1 9 】

例えば、図 1 0 は、この従来の半導体メモリにおける充電負荷容量のばらつきによるセンス判定時間の遅延を説明するための説明図である。分図 (A) , (B) , (C) は、充電負荷容量が、ばらつき平均、大、小である場合について、選択メモリのオン／オフ状態に対応したセンス電圧であるオンレベル／オフレベルの時間変化の例をそれぞれ示す。一般に、センスアンプがセンス判定時に参照するリファレンスレベルは、分図 (A) に示すように、ばらつき平均の充電負荷容量および動作マージンに対応して設定される。仮に、アドレス選択およびメモリセル状態により、充電負荷容量が大きくなった場合、分図 (B) に示すように、充電能力一定により充電不足となり、オンレベル／オフレベルが共に下がり、動作マージンが狭くなり、オフレベルのセンス判定時間が遅延し、充電負荷容量が小さくなった場合、分図 (C) に示すように、充電能力一定により過充電となり、オンレベル／オフレベルが共に上がり、動作マージンが狭くなり、オンレベルのセンス判定時間が遅延する。

【 0 0 2 0 】

また、この従来の半導体メモリは、メモリセルアレイが複数のワード線ごとに列方向に分割された各ブロックで、等間隔で配線された拡散層線の一端側、他端側で交互に主ビット線、仮想接地線に接続するビット列選択トランジスタ、ビット列選択トランジスタを 3 個ずつ 4 列メモリセル単位に備え、2 本の列選択線 B S 1 0 , B S 1 1 がそれぞれ配線される領域を有する。この領域のチップ全体に対する面積割合が、分割されたブロックの数が増大するほど大きくなるため、更に高速化するために、ブロックの数を増大させ、主ビット線に選択的に並列接続されるメモリセル数を少なくし、主ビット線の負荷を小さくすると、チップ全体の面積が著しく増大すると云う問題もある。

【 0 0 2 1 】

また、この対策として、特許文献 1 に記載されている他の構成例のように、回路構成が同一で、等間隔で配線された拡散層線の一端側、他端側で、1 本の列選

択線BS10またはBS11をそれぞれ配線した場合、主ビット線から仮想接地線に流れるセンス電流の経路が、ワード線により選択されたメモリセルでUターンする経路になり、ワード線を選択により異なる等価抵抗を有するようになり、動作マージンを確保できず、センスアンプの高速設計が難しくなり、高速化できなくなる。

【0022】

従って、本発明の目的は、チップ全体の面積を増大させず、更に高速化することにある。

【0023】

【課題を解決するための手段】

そのため、本発明は、メモリセルアレイがM本のワード線ごとに列方向に分割され、分割されたブロックが、アドレスに応じて選択的に接地されるN+1本の仮想接地線と、これら仮想接地線の上に位置しアドレスに応じて選択的にセンスされるN本の主ビット線とを共有し、列方向に隣接して交互に線対称に配置され、前記仮想接地線に対応して4分の1の等間隔で配線された拡散層線の隣接拡散層線をドレインまたはソースとしM本のワード線をゲートとするM行および4N列のメモリセルを備える半導体メモリにおいて、

前記ブロックが、前記拡散層線の一端側で前記主ビット線に接続する拡散層と4列メモリセル単位の中央の拡散層線およびその隣接拡散層線とをそれぞれドレインまたはソースとしビット列選択線をそれぞれゲートとする3個のビット列選択トランジスタと、

前記拡散層線他端側で前記仮想接地線に接続する拡散層と4列メモリセル単位の端の拡散層線およびその隣接拡散層線とをそれぞれドレインまたはソースとし接地列選択線をそれぞれゲートとする3個の接地列選択トランジスタと、

前記拡散層線他端側の隣接ブロックとの間で4列メモリセル単位の中央の拡散層線を互いに接続するブロック間ビット線の半分と、

前記拡散層線一端側の隣接ブロックとの間で4列メモリセル単位の端の拡散層線を互いに接続するブロック間接地線の半分とを4列メモリセル単位に備えている。

【 0 0 2 4 】

また、前記ブロック間ビット線が、前記拡散層線の他端側の隣接ブロックとの間で前記拡散層線の他端を互いに接続し、前記ブロック間接地線が、前記拡散層線の一端側の隣接ブロックとの間で前記拡散層線の一端を互いに接続している。

【 0 0 2 5 】

また、前記ブロック間ビット線が、前記拡散層線の他端側の隣接ブロックとの間で前記拡散層線の一端を互いに接続し、前記ブロック間接地線が、前記拡散層線の一端側の隣接ブロックとの間で前記拡散層線の他端を互いに接続している。

【 0 0 2 6 】

また、前記ブロック間ビット線および前記ブロック間接地線は、前記主ビット線または前記仮想接地線と異なる配線層で形成され、コネクタを介して前記拡散層線の一端または他端にそれぞれ接続している。

【 0 0 2 7 】

また、前記主ビット線および前記仮想接地線が、互いに異なる配線層で形成されている。

【 0 0 2 8 】

また、メモリセル無しのダミーのビット列選択ブロックまたは接地列選択ブロックを複数ブロックの初段ブロックまたは終段ブロックに隣接して備えている。

【 0 0 2 9 】

また、前記ダミーのビット列選択ブロックが、前記ブロック間ビット線および前記主ビット線をドレインまたはソースに接続しビット列選択線をゲートとするビット列選択トランジスタと、
前記ブロック間ビット線に接続し前記拡散層線の 3 本と電氣的に等価なダミーの拡散層またはトランジスタとを 4 列メモリセル単位に備えている。

【 0 0 3 0 】

また、前記ダミーの接地列選択ブロックが、前記ブロック間接地線および前記仮想接地線をドレインまたはソースに接続し接地列選択線をゲートとする接地列選択トランジスタと、
前記ブロック間接地線に接続し前記拡散層線と電氣的に等価なダミーの拡散層ま

たはトランジスタとを4列メモリセル単位に備えている。

【0031】

また、本発明は、メモリセルアレイがM本のワード線ごとに列方向に分割され、分割されたブロックが、アドレスに応じて選択的に接地、プリチャージまたはセンスされる複数の主ビット線を有し、列方向に隣接して交互に線対称に配置され、前記主ビット線に対応して2分の1の等間隔で配線された拡散層線の隣接拡散層線をドレインまたはソースとしM本のワード線をゲートとするM行および2列単位のメモリセルを備える半導体メモリにおいて、

前記ブロックが、前記拡散層線の一端側、他端側で交互に主ビット線に接続する拡散層と主ビット線に対応した拡散層線およびその隣接拡散層線とをそれぞれドレインまたはソースとし第1、第2の列選択線をそれぞれゲートとする3個の列選択トランジスタと、

前記拡散層線の他端側、一端側の隣接ブロックとの間で交互に主ビット線に対応した拡散層線を互いに接続するブロック間ビット線の半分とを2列メモリセル単位に備えている。

【0032】

また、前記メモリセルが、フローティングゲートまたはONO (Oxide/Nitride/Oxide) 膜をワード線の下層に配置する不揮発性メモリセルである。

【0033】

【発明の実施の形態】

次に、本発明について、図面を参照して説明する。図1は、本発明の半導体メモリの実施形態1におけるメモリセルアレイの1部を示す部分回路図である。

【0034】

図1を参照すると、本実施形態の半導体メモリは、従来と同じく、メモリセルアレイが3本のワード線ごとに列方向に3つのブロックに分割され、分割された各ブロック0、1、2が、アドレスに応じて選択的に接地される3本の仮想接地線D3、D5と、これら仮想接地線の上に位置しアドレスに応じて選択的にセンスされる2本の主ビット線D4、D6とを共有し、列方向に隣接して交互に線対

称に配置される。但し、ワード線およびブロックの数は、図面記載の便宜上、それぞれ3つとされ、仮想接地線または主ビット線も4本のみ記載されている。

【0035】

また、各ブロック0, 1, 2は、仮想接地線に対応して4分の1の等間隔で配線された拡散層線の隣接拡散層線をドレインまたはソースとし3本のワード線をゲートとする3行および4列単位のメモリセルを備え、さらに、本実施形態では、各ブロックが、拡散層線の一端側、他端側で、ビット列選択線、接地列選択線を配線し、主ビット線および仮想接地線に対応して、3個のビット列選択トランジスタと、3個の接地列選択トランジスタと、ブロック間ビット線の半分と、ブロック間接地線の半分とを4列メモリセル単位に備える。

【0036】

3個のビット列選択トランジスタは、拡散層線の一端側で主ビット線に接続する拡散層と4列メモリセル単位の中央の拡散層線およびその隣接拡散層線とをそれぞれドレインまたはソースとしビット列選択線をそれぞれゲートとする。例えば、ブロック1で主ビット線D4に接続する3個のビット列選択トランジスタS41, S40, 42は、拡散層線BN11~17の一端側で拡散層と、4列メモリセル単位の中央の拡散層線BN13およびその隣接拡散層線BN12, BN14とをそれぞれドレインまたはソースとし、ビット列選択線BS11をそれぞれゲートとする。

【0037】

3個の接地列選択トランジスタは、拡散層線他端側で仮想接地線に接続する拡散層と4列メモリセル単位の端の拡散層線およびその隣接拡散層線とをそれぞれドレインまたはソースとし接地列選択線をそれぞれゲートとする。例えば、ブロック1で仮想接地線D5に接続する3個の接地列選択トランジスタS51, S50, S52は、拡散層線BN11~17他端側で仮想接地線D5に接続する拡散層と、4列メモリセル単位の端の拡散層線BN15およびその隣接拡散層線BN14, BN16とをそれぞれドレインまたはソースとし、接地列選択線BS10をそれぞれゲートとする。

【0038】

ブロック間ビット線は、拡散層線その他端側の隣接ブロックとの間で4列メモリセル単位の中央の拡散層線を互いに接続し、その半分が1ブロック内に含まれる。本実施形態では、ブロック間ビット線が拡散層で構成され、中央の拡散層線その他端を互いに接続する。例えば、主ビット線D4に対応したブロック1, 2間のブロック間ビット線D412は、拡散層線BN11~17の他端側の隣接ブロック2との間で4列メモリセル単位の中央の拡散層線BN13およびBN23を互いに接続する。

【0039】

ブロック間接地線は、拡散層線的一端側の隣接ブロックとの間で4列メモリセル単位の端の拡散層線を互いに接続し、その半分が1ブロック内に含まれる。本実施形態では、ブロック間接地線が拡散層で構成され、端の拡散層線的一端を互いに接続する。例えば、仮想接地線D5に対応したブロック0, 1間のブロック間接地線D501は、拡散層線BN11~17の他端側の隣接ブロック0との間で4列メモリセル単位の端の拡散層線BN15およびBN05を互いに接続する。

【0040】

次に、本実施形態の半導体メモリにおけるメモリセルの選択動作について説明する。なお、本実施形態の半導体メモリにおいて、従来と同じく、各ブロックのメモリセルアレイは、4列メモリセル単位に同一構成であり同様に動作するので、例えば、図示したように、仮想接地線D3, D5間と、ブロック1のワード線W11とに対応した4つのメモリセルM1~M4を選択する場合について、それぞれ説明する。

【0041】

これらメモリセルM1~M4選択の場合、従来と同じく、それぞれ、ブロック1のワード線W11のみが高レベルになり、対応するメモリセルは、メモリデータに応じてそれぞれオンまたはオフし、ワード線W11以外の全ブロックのワード線W10, W12, W00~02, W20~22は低レベルであり、対応するメモリセルは、全てオフしている。

【0042】

まず、メモリセルM1選択の場合、アドレスに応じて仮想接地線D3, D5が選択的に接地、プリチャージされ、主ビット線D4が選択的にセンスアンプに接続されセンスされ、ビット列選択線BS11および接地列選択線BS00が高レベルになる。これにより、ビット列選択トランジスタS40, S41, S42および接地列選択トランジスタR31, R32, R50, R51がオンし、仮想接地線D3, 接地列選択トランジスタR31, 拡散層線BN01およびブロック間接地線D301を介して拡散層線BN11が選択的に接地され、メモリセルM1を含むメモリセル列の両側の拡散層線BN11, BN12が接地、センスされ、ワード線W11に対応したメモリセルM1のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0043】

メモリセルM2選択の場合、アドレスに応じて仮想接地線D3, D5が選択的に接地、プリチャージされ、主ビット線D4が選択的にセンスアンプに接続されセンスされ、接地列選択線BS10およびビット列選択線BS21が高レベルになる。これにより、接地列選択トランジスタS31, S32, S50, S51およびビット列選択トランジスタT40, T41, T42がオンし、主ビット線D4, ビット列選択トランジスタT41, 拡散層線BN23およびブロック間ビット線D412を介して拡散層線BN13が選択的にセンスされ、メモリセルM2を含むメモリセル列の両側の拡散層線BN12, BN13が接地、センスされ、ワード線W11に対応したメモリセルM2のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0044】

メモリセルM3選択の場合、アドレスに応じて仮想接地線D5, D3が選択的に接地、プリチャージされ、主ビット線D4が選択的にセンスアンプに接続されセンスされ、接地列選択線BS10およびビット列選択線BS21が高レベルになる。これにより、接地列選択トランジスタS31, S32, S50, S51およびビット列選択トランジスタT40, T41, T42がオンし、主ビット線D4, ビット列選択トランジスタT41, 拡散層線BN23およびブロック間ビット線D412を介して拡散層線BN13が選択的にセンスされ、メモリセルM3

を含むメモリセル列の両側の拡散層線BN14, BN13が接地, センスされ、ワード線W11に対応したメモリセルM3のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0045】

メモリセルM4選択の場合、アドレスに応じて仮想接地線D5, D3が選択的に接地, プリチャージされ、主ビット線D4が選択的にセンスアンプに接続されセンスされ、ビット列選択線BS11および接地列選択線BS00が高レベルになる。これにより、ビット列選択トランジスタS40, S41, S42および接地列選択トランジスタR31, R32, R50, R51がオンし、仮想接地線D5, 接地列選択トランジスタR51, 拡散層線BN05およびブロック間接地線D501を介して拡散層線BN15が選択的に接地され、メモリセルM4を含むメモリセル列の両側の拡散層線BN15, BN14が接地, センスされ、ワード線W11に対応したメモリセルM4のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0046】

また、これらメモリセルM1～M4の選択は、従来と同じく、4列メモリセル単位の仮想接地線D3, D5の一方を常にプリチャージすることにより、隣接する4列メモリセルとの間で、選択のメモリセルを介したチャージシェアリングが防止され、4列メモリセル単位で分離されて行われる。

【0047】

本実施形態の半導体メモリは、上述のように、例えば、メモリセルM1, M4選択の場合、アドレスに応じてビット列選択トランジスタS40～S42がオンし、主ビット線D4から4本の拡散層線BN12～BN14およびBN23が充電され、また、メモリセルM2, M3選択の場合、アドレスに応じてビット列選択トランジスタT40～T42がオンし、主ビット線D4から4本の拡散層線BN22～BN24およびBN13が充電される。従って、アドレス選択およびメモリセル状態に対して、主ビット線から充電される拡散層線の数に変化せず常に4本であり、主ビット線から充電される充電負荷容量が一定であり、動作マージンを確保し易くなり、主ビット線を介してセンスするセンスアンプを高速設計で

き、更に高速化できる。

【0048】

また、図2は、本実施形態の半導体メモリにおけるメモリセルアレイの1部を示す部分レイアウト図であり、図1に示したメモリセルアレイの1部におけるブロック1の部分を示す。本実施形態の半導体メモリは、図2に示すように、各ブロックが、等間隔で配線された拡散層線の一端側および他端側で、交互に主ビット線、仮想接地線に接続するコネクタを1個ずつ4列メモリセル単位に備え、且つ、1本のビット列選択線または接地列選択線をそれぞれ配線して構成でき、この領域のチップ全体に対する面積割合が従来の半導体メモリより小さくなる。このため、大容量メモリが可能であり、従来の半導体メモリと同じチップ面積で、ブロックの数を増大させ、主ビット線に選択的に並列接続されるメモリセル数を少なくし、主ビット線の負荷を小さくし、更に高速化できる。

【0049】

なお、本実施形態の半導体メモリでは、主ビット線および仮想接地線を同一の配線層で形成するとして説明したが、この説明に限定されず、例えば、主ビット線および前記仮想接地線を互いに異なる配線層で形成する変形例も可能である。

【0050】

例えば、図3は、この変形例の半導体メモリにおけるメモリセルアレイの1部を示す部分レイアウト図であり、図2と同様に、図1に示したメモリセルアレイの1部におけるブロック1の部分を示す。図3に示すように、この変形例の半導体メモリでは、仮想接地線D3、D5と主ビット線D4、D6とが互いに異なる1AL配線層および2AL配線層により交互に形成され、図2と比較すると、主ビット線が1AL配線ではなく2AL配線であることを除き、同レイアウト構成である。この仮想接地線および主ビット線の配線層の相違により、同一配線層の場合と比較して、配線ピッチによるメモリセルサイズ制限が緩和され、更なるメモリセルの縮小が可能となり、チップサイズの縮小を図れ、主ビット線が上層の配線層から形成されるので線間容量が減少し、主ビット線の配線容量を削減でき、高速化に有利である。

【0051】

図 4 は、本発明の半導体メモリの実施形態 2 におけるメモリセルアレイの 1 部を示す部分回路図である。

【 0 0 5 2 】

図 4 を参照すると、本実施形態の半導体メモリは、図 1 に示した実施形態 1 の半導体メモリと同じ回路構成であり、同じ拡散層線、メモリセル、ビット列選択トランジスタ、接地列選択トランジスタを備え、ブロック間ビット線およびブロック間接地線と拡散層線との接続方法のみ異なる。

【 0 0 5 3 】

本実施形態の半導体メモリにおいて、ブロック間ビット線は、拡散層線の他端側の隣接ブロックとの間で、4 列メモリセル単位の中央に位置する拡散層線的一端を互いに接続し、ブロック間接地線は、拡散層線的一端側の隣接ブロックとの間で、4 列メモリセル単位の端に位置する拡散層線の他端を互いに接続する。そのため、これらブロック間ビット線およびブロック間接地線は、拡散層でなく、主ビット線または仮想接地線と異なる配線層で形成され、コネクタを介して、拡散層線的一端または他端にそれぞれ接続する。

【 0 0 5 4 】

次に、本実施形態の半導体メモリにおけるメモリセルの選択動作について説明する。なお、本実施形態の半導体メモリは、図 1 に示した実施形態 1 の半導体メモリと、ブロック間ビット線およびブロック間接地線と拡散層線との接続方法を除き、同じ回路構成であり、拡散層線におけるセンス電流の向きを除き、同じく動作する。従って、例えば、仮想接地線 D 3，D 5 間と、ブロック 1 のワード線 W 1 1 とに対応した 4 つのメモリセル M 1 ～M 4 を含む 4 列メモリセルから、メモリセル M 1 を含むメモリセル列のメモリセルを選択する場合のセンス電流の経路について説明する。

【 0 0 5 5 】

メモリセル M 1 選択の場合、図 1 に示した実施形態 1 の半導体メモリと同じく、メモリセル M 1 を含むメモリセル列の両側の拡散層線 B N 1 1，B N 1 2 が接地、センスされ、ワード線 W 1 1 に対応したメモリセル M 1 のオンまたはオフに応じてセンス電流が主ビット線 D 4 に流れる。このセンス電流は、ブロック間接

地線D301が拡散層線BN11, BN01の他端に接続するので、拡散層線BN12の一端からメモリセルM1を介して拡散層線BN11の他端へ流れる。

【0056】

また、メモリセルM1を含むメモリセル列においてメモリセルM1以外のメモリセルが選択された場合も、同様に、センス電流は、拡散層線BN12の一端から拡散層線BN11の他端間まで流れ、拡散層線BN12の一端から拡散層線BN11の他端間までのセンス電流の経路は、メモリセルM1を含むメモリセル列の選択メモリセルの位置が変化するだけであり、これら経路は、ほぼ1本分の拡散層線およびメモリセルからなり、これら経路の等価抵抗は、ワード線の選択により変化せず、一定である。また、他のメモリセルM2～M4を含むメモリセル列についても、同様であり、主ビット線D4から仮想接地線D3までのセンス電流の経路の等価抵抗は、ワード線の選択により変化せず、一定である。

【0057】

従って、本実施形態の半導体メモリでは、従来と異なり、実施形態1の半導体メモリの効果と両立して、主ビット線から仮想接地線までのセンス電流の経路の等価抵抗をアドレス選択に対して一定にすることができ、センスアンプを更に高速設計できるなどの効果がある。

【0058】

図5は、本実施形態の半導体メモリにおけるメモリセルアレイの1部を示す部分レイアウト図であり、図4に示したメモリセルアレイの1部におけるブロック1の部分を示す。

【0059】

本実施形態の半導体メモリは、図5に示すように、各ブロックが、等間隔で配線された拡散層線の一端側および他端側で、1AL配線層で形成された主ビット線、仮想接地線に接続するコネクタを1個ずつ4列メモリセル単位に備え、且つ、主ビット線、仮想接地線に対応して下層の2AL配線層で形成されたバンク間ビット線、バンク間接地線を1本ずつ4列メモリセル単位に備える。また、各ブロックが、実施形態1の半導体メモリと同じく、等間隔で配線された拡散層線の一端側および他端側で、1本のビット列選択線または接地列選択線をそれぞれ配

線して構成でき、この領域のチップ全体に対する面積割合が従来の半導体メモリより小さくなる。このため、大容量メモリが可能であり、従来の半導体メモリと同じチップ面積で、ブロックの数を増大させ、主ビット線に選択的に並列接続されるメモリセル数を少なくし、主ビット線の負荷を小さくし、更に高速化できる。

【0060】

上述したように、これら実施形態1，2の半導体メモリは、ワード線が択一選択され、選択ワード線に対応したメモリセルが、選択ワード線を有する選択ブロックおよびその隣接ブロックのビット列選択線および接地列選択線の高レベル組合せにより選択される。この選択動作は、選択ブロックが複数ブロックの初段または終段ブロックの場合も、その隣接ブロックとしてダミーのブロックを配置することにより、同様に行われる。

【0061】

例えば、図6，図7は、実施形態2の半導体メモリにおいて複数ブロックの初段または終段ブロックに隣接するダミーのブロック例の1部を示す部分回路図，部分レイアウト図である。なお、これら図6，図7では、図面記載の便宜上、中央に記載したブロック1を複数ブロックの代表として表現し、且つ、複数ブロックの初段または終段ブロックとして説明する。

【0062】

図6に示すように、この半導体メモリは、中央に記載した複数ブロックの初段ブロックまたは終段ブロックに隣接して、メモリセル無しのダミーの接地列選択ブロック0またはビット列選択ブロック2を備える。

【0063】

ダミーの接地列選択ブロック0は、ブロック間接地線および仮想接地線をドレインまたはソースに接続し接地列選択線をゲートとする接地列選択トランジスタと、ブロック間接地線に接続し拡散層線と電氣的に等価なダミーの拡散層またはトランジスタとを4列メモリセル単位に備える。例えば、仮想接地線D5に接続する接地列選択トランジスタS51は、ブロック間接地線D501および仮想接地線D5をドレインまたはソースに接続し接地列選択線BS00をゲートとする

。また、ブロック間接地線D501に接続する拡散層BN05は、ブロック1の拡散層線BN15と電氣的に等価である。

【0064】

ダミーのビット列選択ブロック2は、ブロック間ビット線および主ビット線をドレインまたはソースに接続しビット列選択線をゲートとするビット列選択トランジスタと、ブロック間ビット線に接続し拡散層線の3本と電氣的に等価なダミーの拡散層またはトランジスタとを4列メモリセル単位に備える。例えば、主ビット線D4に接続するビット列選択トランジスタS41は、ブロック間ビット線D401および主ビット線D4をドレインまたはソースに接続しビット列選択線BS21をゲートとする。また、ブロック間ビット線D401に接続する拡散層BN23は、ブロック1の3本の拡散層線BN12～BN14と電氣的に等価である。

【0065】

次に、これらダミーの接地列選択ブロック0、ビット列選択ブロック2を隣接ブロックとする初段ブロックまたは終段ブロックにおけるメモリセルの選択動作について、説明する。なお、これらダミーの接地列選択ブロック0、ビット列選択ブロック2は、中央に記載した複数ブロックの初段ブロックまたは終段ブロックと同様に、4列メモリセル単位に同一構成であり同様に動作するので、例えば、図示したように、仮想接地線D3、D5間と、初段ブロックまたは終段ブロックのワード線W11とに対応した4つのメモリセルM1～M4を選択する場合についてそれぞれ説明する。

【0066】

まず、メモリセルM1選択の場合、アドレスに応じて仮想接地線D3、D5が選択的に接地、プリチャージされ、主ビット線D4が選択的にセンスアンプに接続されセンスされ、ビット列選択線BS11およびダミー接地列選択線BS00が高レベルになる。これにより、ビット列選択トランジスタS40、S41、S42および接地列選択トランジスタR31、R51がオンし、仮想接地線D3、接地列選択トランジスタR31およびブロック間接地線D301を介して拡散層線BN11が選択的に接地され、メモリセルM1を含むメモリセル列の両側の拡

散層線BN11, BN12が接地, センスされ、ワード線W11に対応したメモリセルM1のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0067】

メモリセルM2選択の場合、アドレスに応じて仮想接地線D3, D5が選択的に接地, プリチャージされ、主ビット線D4が選択的にセンスアンプに接続されセンスされ、接地列選択線BS10およびビット列選択線BS21が高レベルになる。これにより、接地列選択トランジスタS31, S32, S50, S51およびビット列選択トランジスタT41がオンし、主ビット線D4, ビット列選択トランジスタT41およびブロック間ビット線D412を介して拡散層線BN13が選択的にセンスされ、メモリセルM2を含むメモリセル列の両側の拡散層線BN12, BN13が接地, センスされ、ワード線W11に対応したメモリセルM2のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0068】

メモリセルM3選択の場合、アドレスに応じて仮想接地線D5, D3が選択的に接地, プリチャージされ、主ビット線D4が選択的にセンスアンプに接続されセンスされ、接地列選択線BS10およびビット列選択線BS21が高レベルになる。これにより、接地列選択トランジスタS31, S32, S50, S51およびビット列選択トランジスタT41がオンし、主ビット線D4, ビット列選択トランジスタT41およびブロック間ビット線D412を介して拡散層線BN13が選択的にセンスされ、メモリセルM3を含むメモリセル列の両側の拡散層線BN14, BN13が接地, センスされ、ワード線W11に対応したメモリセルM3のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0069】

メモリセルM4選択の場合、アドレスに応じて仮想接地線D5, D3が選択的に接地, プリチャージされ、主ビット線D4が選択的にセンスアンプに接続されセンスされ、ビット列選択線BS11および接地列選択線BS00が高レベルになる。これにより、ビット列選択トランジスタS40, S41, S42および接地列選択トランジスタR31, R51がオンし、仮想接地線D5, 接地列選択トランジスタR51およびブロック間接地線D501を介して拡散層線BN15が

選択的に接地され、メモリセルM4を含むメモリセル列の両側の拡散層線BN15, BN14が接地, センスされ、ワード線W11に対応したメモリセルM4のオンまたはオフに応じてセンス電流が主ビット線D4に流れる。

【0070】

上述のように、複数ブロックの初段または終段ブロックが、ダミーの接地列選択ブロック0またはビット列選択ブロック2を隣接して備えることにより、複数ブロックの内側ブロックと同様に動作できる。また、ダミーの接地列選択ブロック0またはビット列選択ブロック2は、メモリセルを有せず、本発明の適用による回路面積の増大が抑制される。

【0071】

なお、上述した実施形態1, 2の半導体メモリにおいて、各ブロックが、従来技術と同じく、アドレスに応じて選択的に接地, センスされる仮想接地線, 主ビット線をそれぞれ共有するとして説明したが、この説明に限定されず、仮想接地線と主ビット線とに機能分離しない変形例も可能である。

【0072】

例えば、「メモリセルアレイがM本のワード線ごとに列方向に分割され、分割されたブロックが、アドレスに応じて選択的に接地, プリチャージまたはセンスされる複数の主ビット線を有し、列方向に隣接して交互に線対称に配置され、主ビット線に対応して2分の1の等間隔で配線された拡散層線の隣接拡散層線をドレインまたはソースとしM本のワード線をゲートとするM行および2列単位のメモリセルを備え、且つ、拡散層線の一端側, 他端側で交互に主ビット線に接続する拡散層と主ビット線に対応した拡散層線およびその隣接拡散層線とをそれぞれドレインまたはソースとし第1, 第2の列選択線をそれぞれゲートとする3個の列選択トランジスタと、拡散層線の他端側, 一端側の隣接ブロックとの間で交互に主ビット線に対応した拡散層線を互いに接続するブロック間ビット線の半分とを2列メモリセル単位に備える」変形例も可能である。

【0073】

また、上述した実施形態1, 2の半導体メモリにおいて、メモリセルが読み出し専用のメモリセルであるとして説明したが、この説明に限定されず、例えば、

「メモリセルが、フローティングゲートまたはONO（Oxide／Nitride／Oxide）膜をワード線の下層に配置する不揮発性メモリセルである」変形例も可能であり、同様の効果があることは明らかである。

【0074】

【発明の効果】

以上説明したように、本発明による半導体メモリは、アドレス選択およびメモリセル状態に対して、主ビット線から充電される拡散層線の数が増減せず常に4本であり、主ビット線から充電される充電負荷容量が一定であり、動作マージンを確保し易くなり、主ビット線を介してセンスするセンスアンプを高速設計でき、更に高速化できる。

【0075】

また、本発明による半導体メモリは、等間隔で配線された拡散層線の一端側および他端側で1本のビット列選択線または接地列選択線をそれぞれ配線して構成でき、大容量メモリが可能であり、従来の半導体メモリと同じチップ面積で、ブロックの数を増大させ、主ビット線に選択的に並列接続されるメモリセル数を少なくし、主ビット線の負荷を小さくし、更に高速化できるなどの効果がある。

【0076】

更に、本発明による半導体メモリは、従来と異なり、上述の効果と両立して、主ビット線から仮想接地線までのセンス電流の経路の等価抵抗をアドレス選択に対して一定にすることができ、センスアンプを更に高速設計できるなどの効果がある。

【図面の簡単な説明】

【図1】

本発明の半導体メモリの実施形態1におけるメモリセルアレイの1部を示す部分回路図である。

【図2】

図1の半導体メモリにおけるメモリセルアレイの1部を示す部分レイアウト図である。

【図3】

実施形態1の半導体メモリの変形例におけるメモリセルアレイの1部を示す部分レイアウト図である。

【図4】

本発明の半導体メモリの実施形態2におけるメモリセルアレイの1部を示す部分回路図である。

【図5】

図4の半導体メモリにおけるメモリセルアレイの1部を示す部分レイアウト図である。

【図6】

実施形態2の半導体メモリにおける複数ブロックの初段または終段ブロックに隣接するダミーのブロック例の1部を示す部分回路図である。

【図7】

図6の半導体メモリにおける複数ブロックの初段または終段ブロックに隣接するダミーのブロック例の1部を示す部分レイアウト図である。

【図8】

従来の半導体メモリにおけるメモリセルアレイの1部を示す部分回路図である。

【図9】

図8の半導体メモリにおけるメモリセルアレイの1部を示す部分レイアウト図である。

【図10】

従来の半導体メモリにおける充電負荷容量のばらつきによるセンス判定時間の遅延を説明するための説明図である。

【符号の説明】

- BN01～BN2A 拡散層線
- BS00～BS23 列選択線
- D3, D5, D7 仮想接地線
- D4, D6 主ビット線
- D301, D501 ブロック間接地線

D 4 1 2, D 6 1 2 ブロック間ビット線

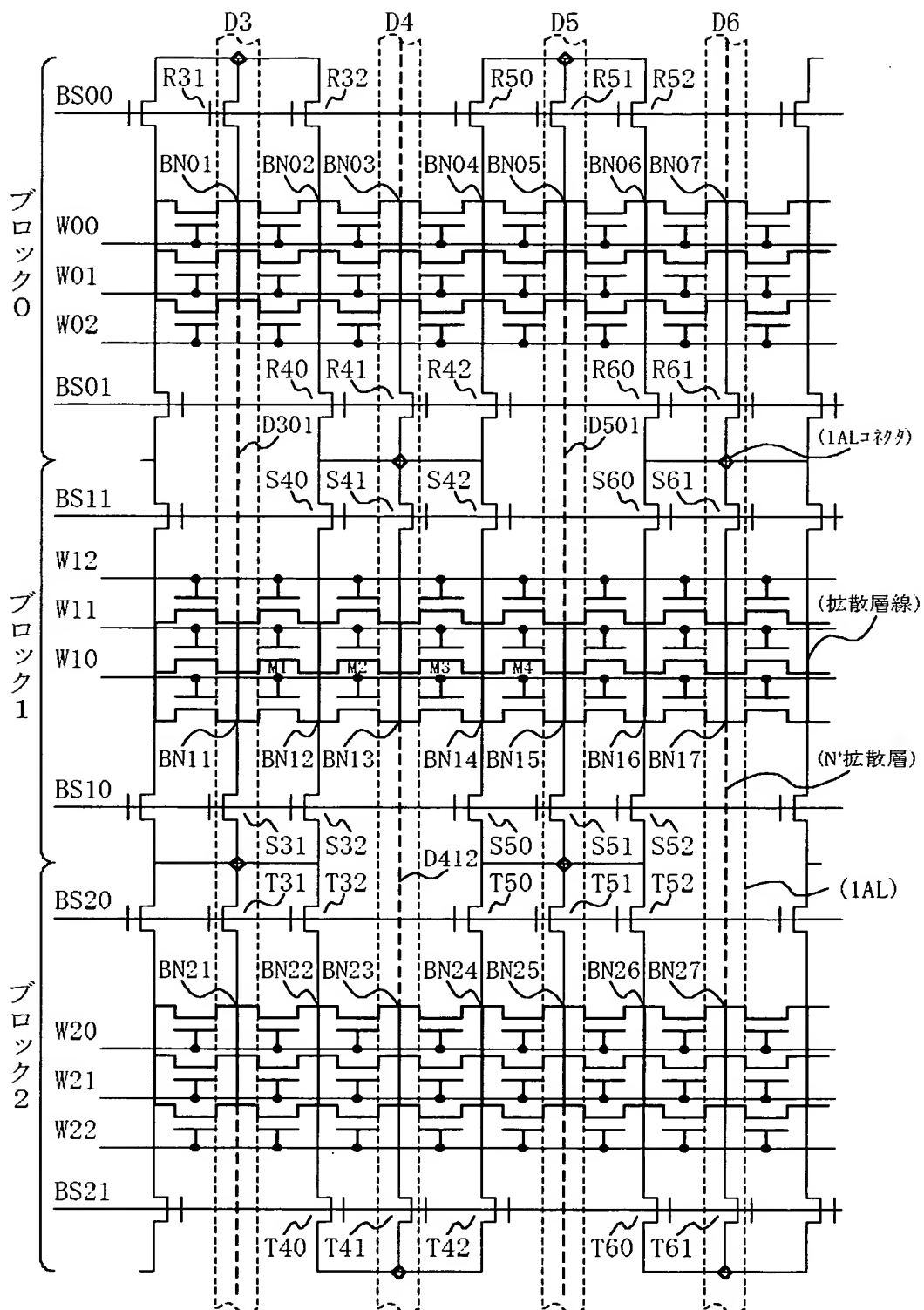
R 3 1 ~ R 5 2, S 3 1 ~ S 5 2, T 3 1 ~ T 5 2 接地列選択トランジスタ

R 4 0 ~ R 6 1, S 4 0 ~ S 6 1, T 4 0 ~ T 6 1 ビット列選択トランジスタ

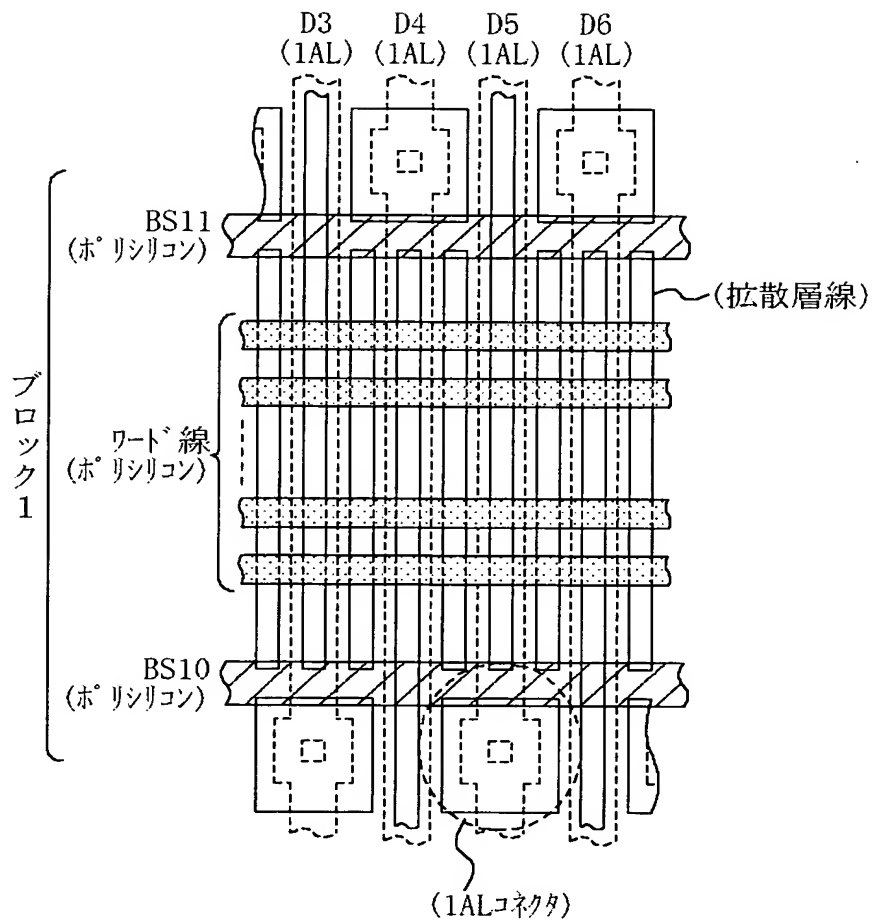
W 0 0 ~ W 2 2 ワード線

【書類名】 図面

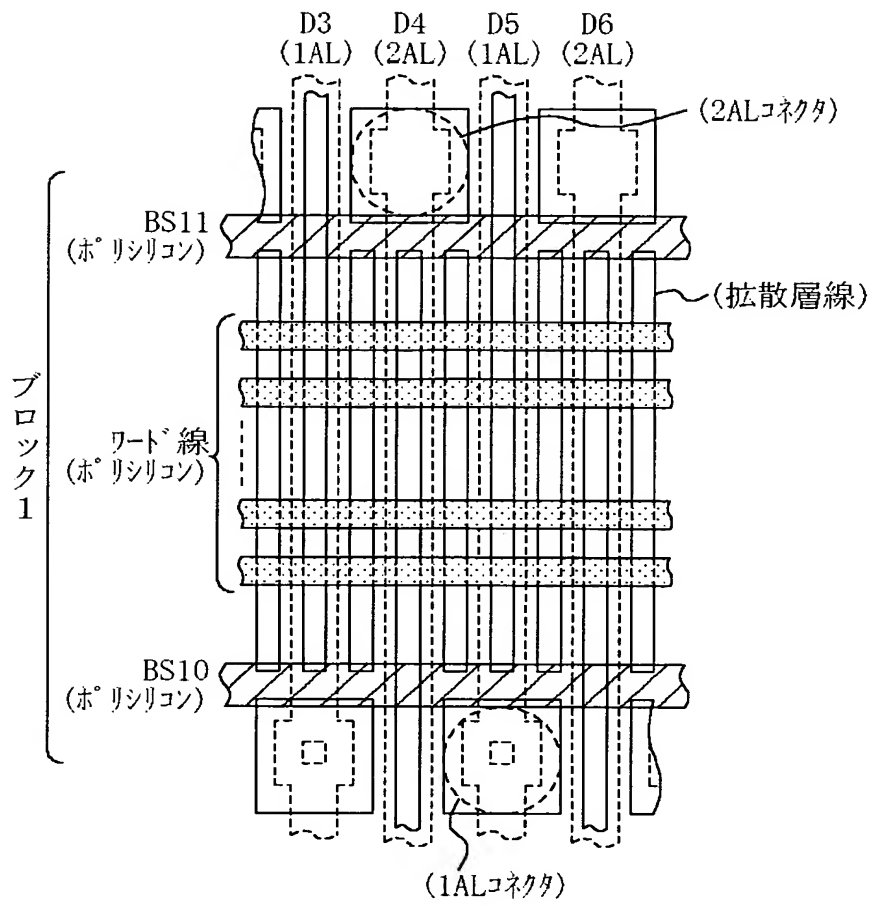
【図 1】



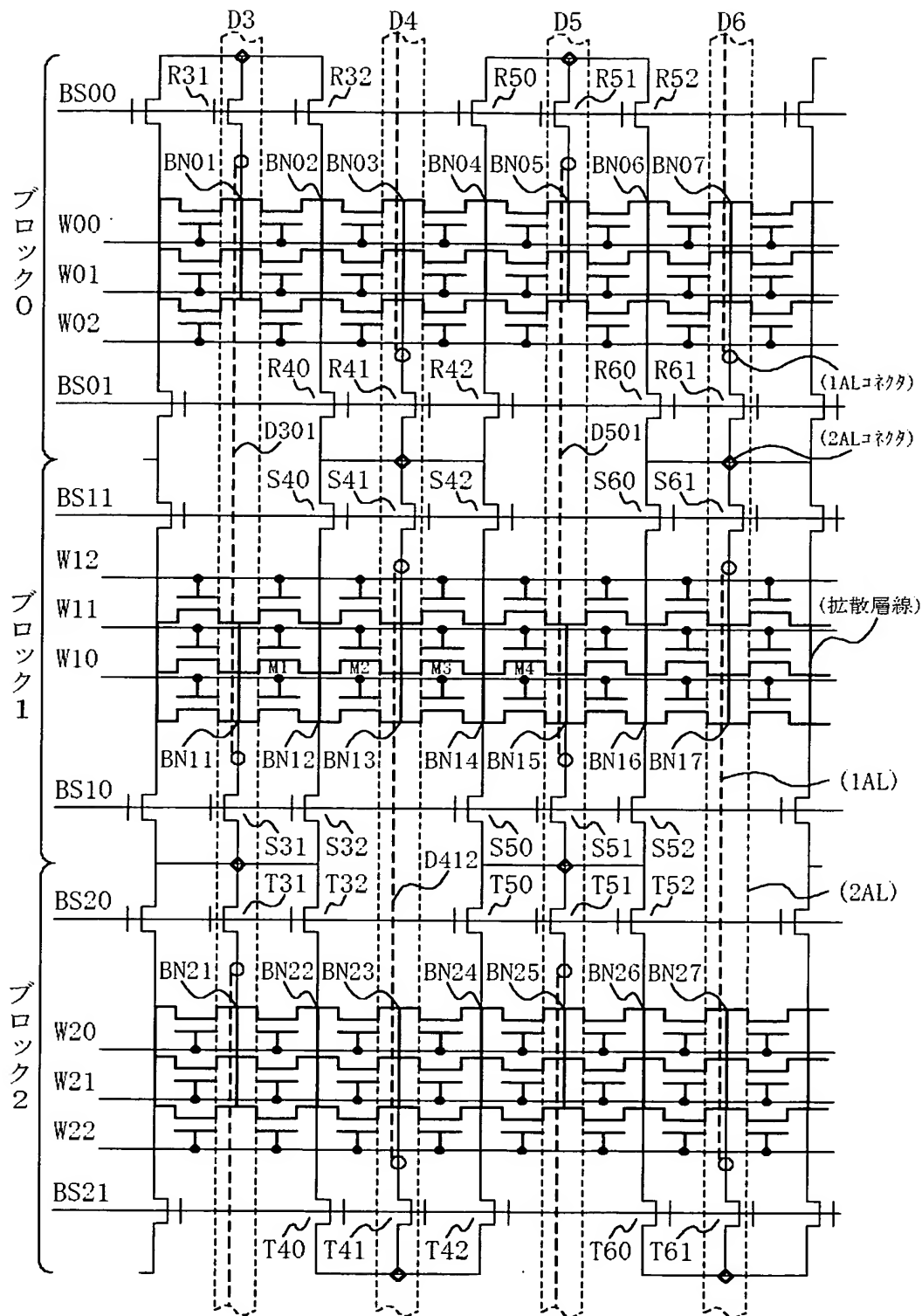
【図 2】



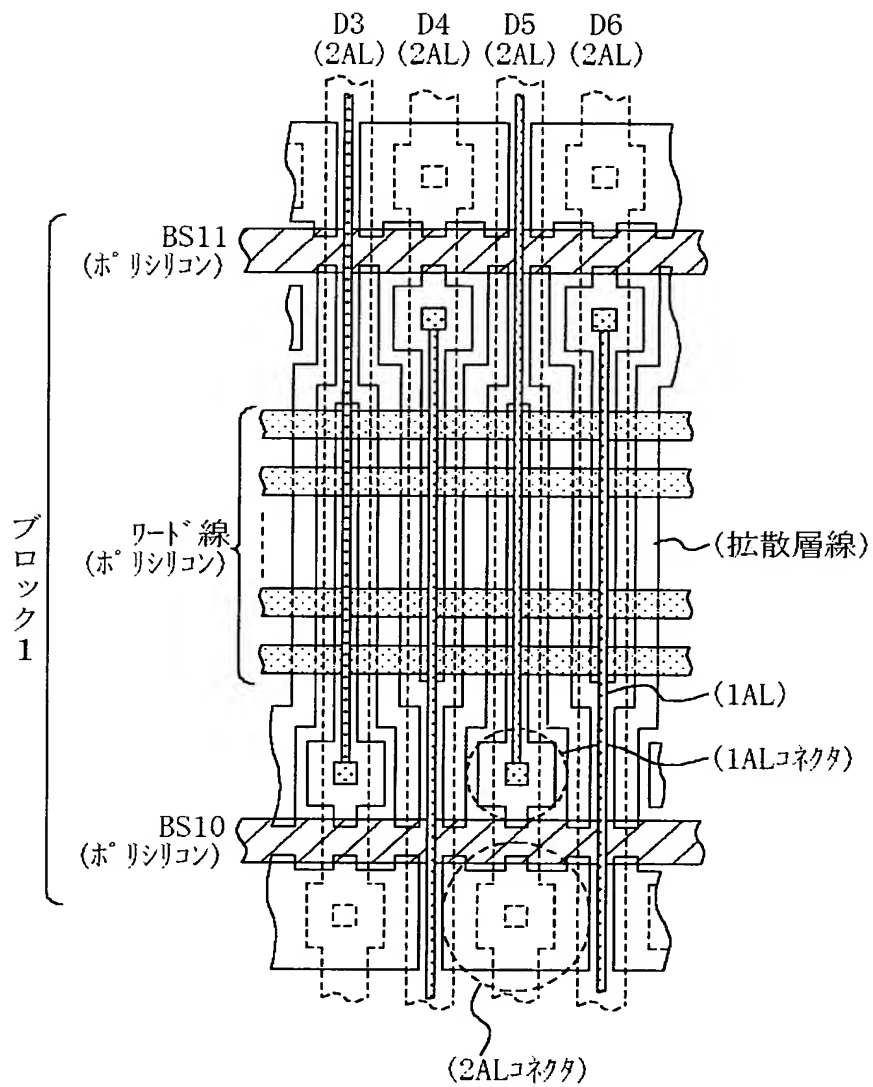
【図 3】



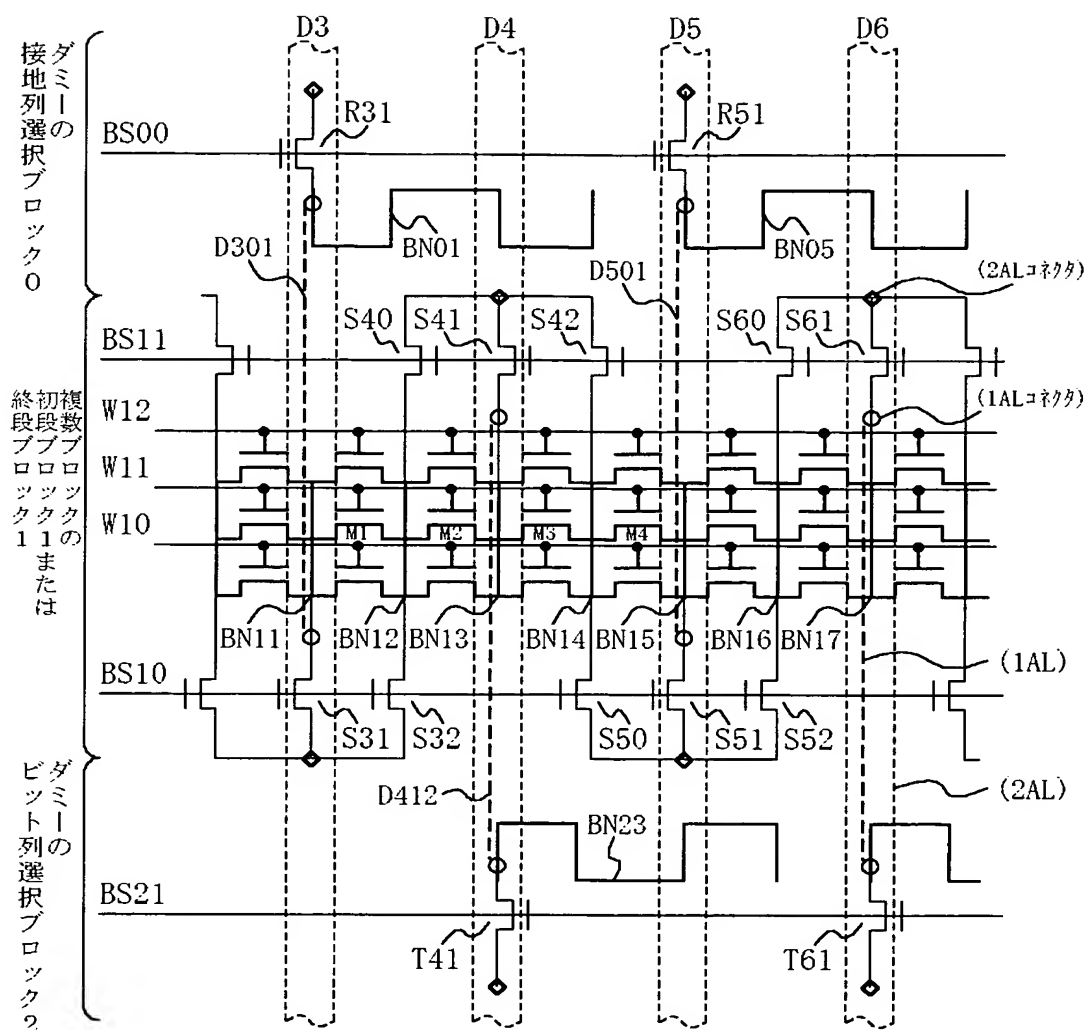
【図 4】



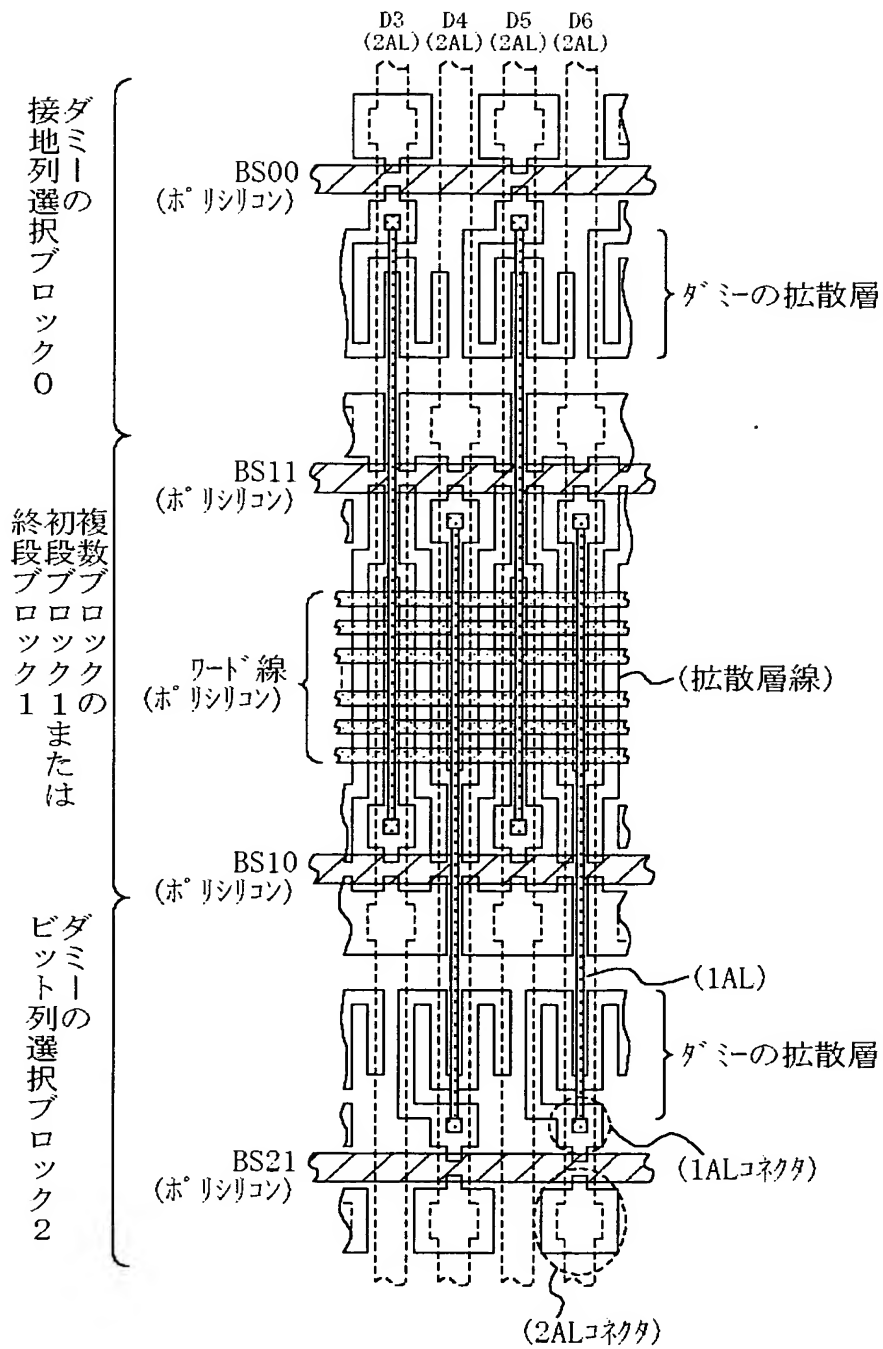
【図 5】



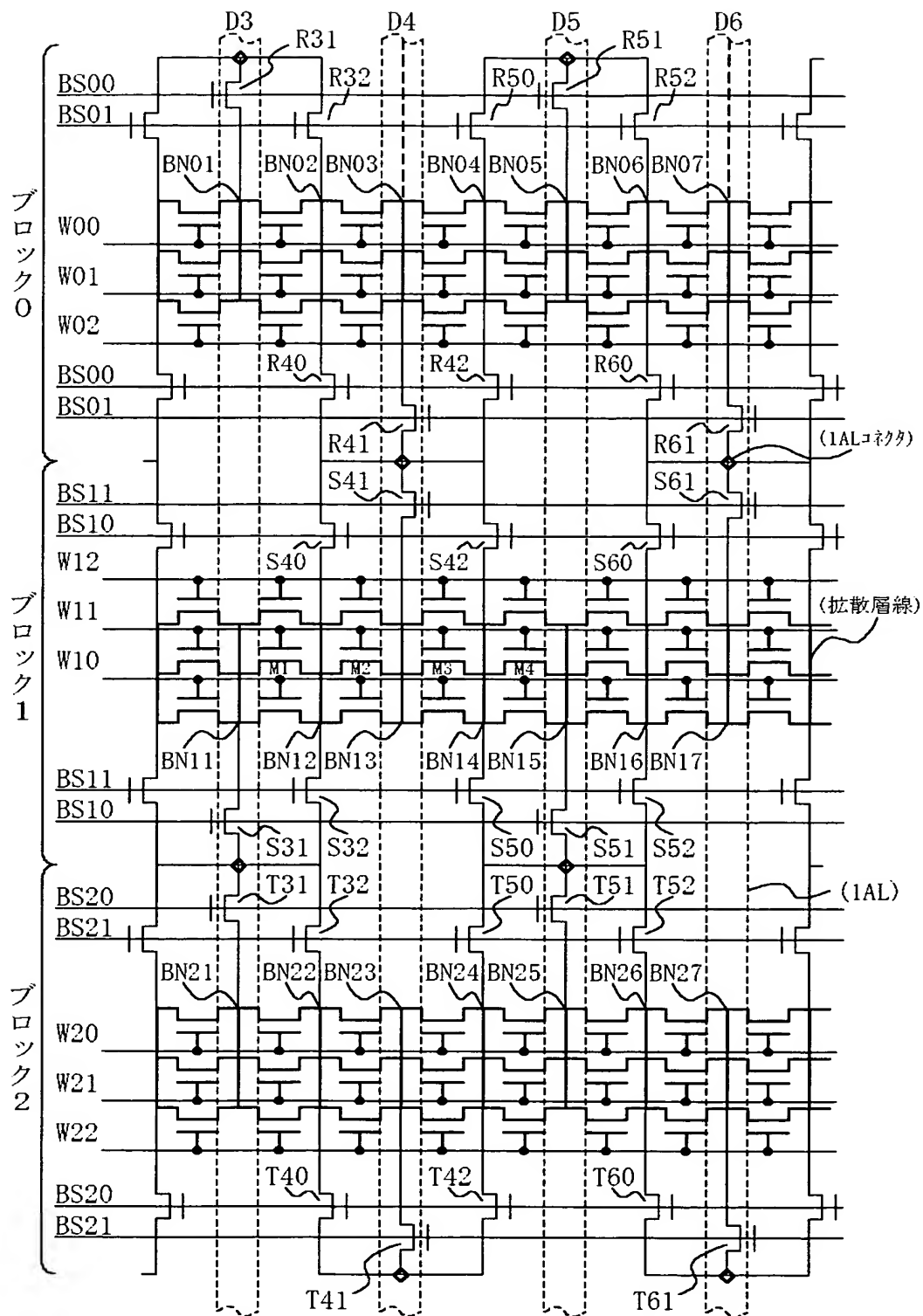
【図 6】



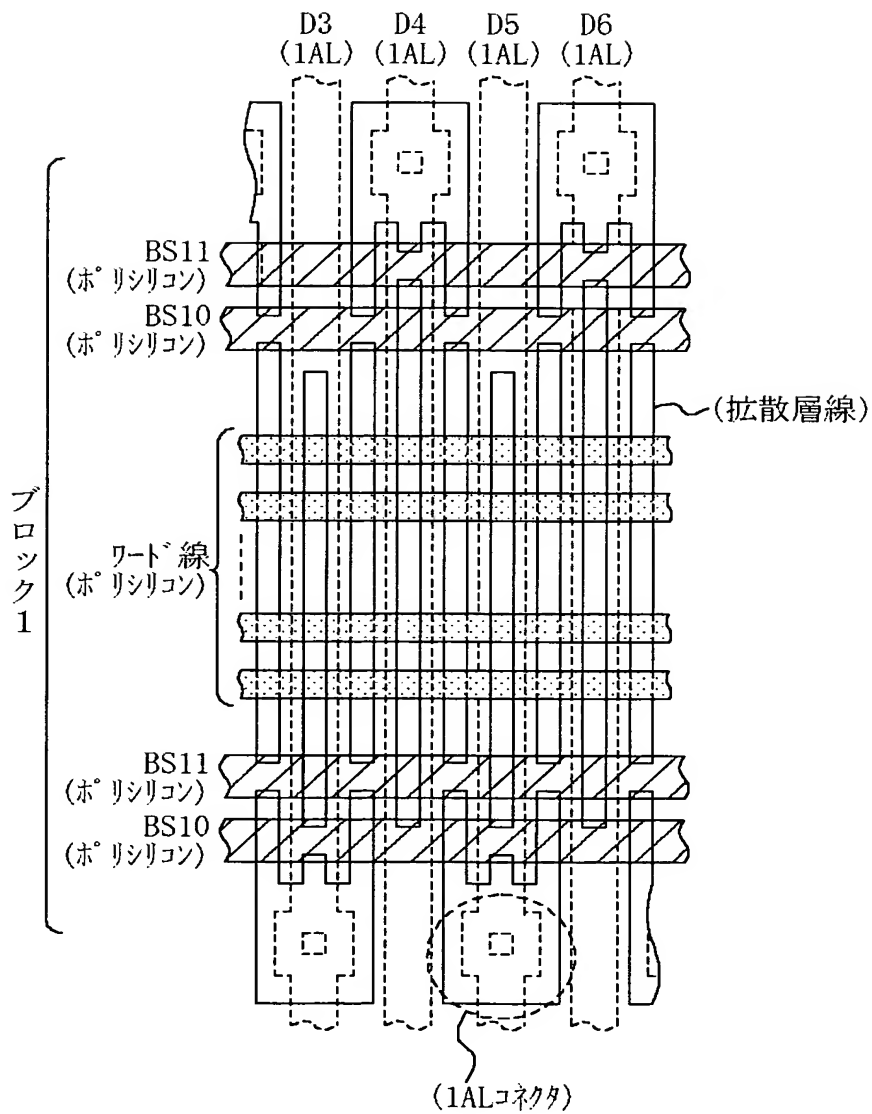
【圖 7】



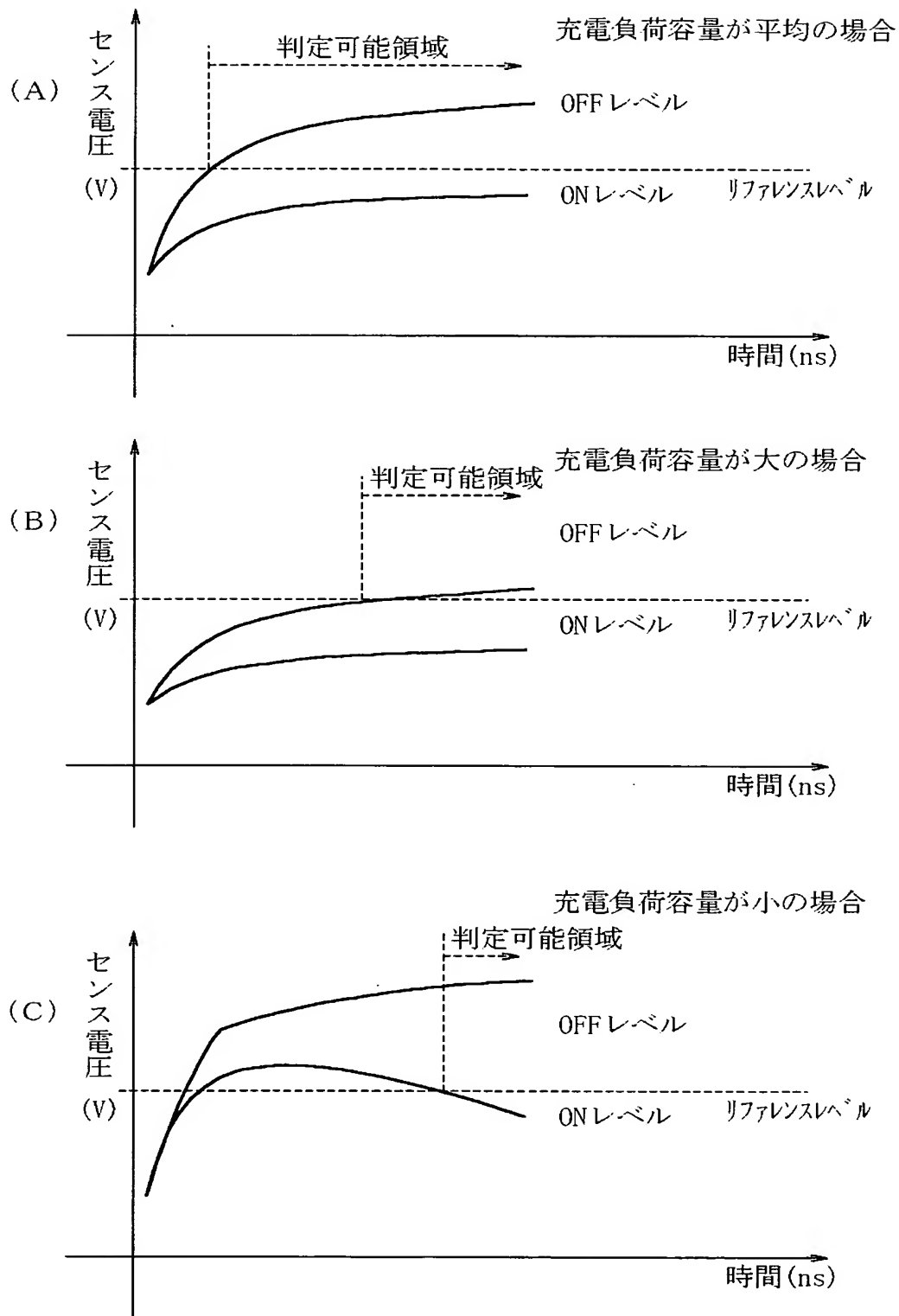
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 チップ全体の面積を増大させず、更に高速化する。

【解決手段】 分割された各ブロックが、主ビット線に対応して3個のビット列選択トランジスタと、ブロック間ビット線の半分とを4列メモリセル単位に備え、仮想接地線に対応して3個の接地列選択トランジスタと、ブロック間接地線の半分とを4列メモリセル単位に備える。例えば、ブロック1の主ビット線D4に対応して、3個のビット列選択トランジスタS40～S42と、ブロック間ビット線D412の半分とを備え、ブロック1の仮想接地線D5に対応して、3個の接地列選択トランジスタS50～S52と、ブロック間接地線D501の半分とを備える。ここで、ブロック間ビット線D412は、隣接ブロック2との間で拡散層線BN13，BN23を互いに接続し、ブロック間接地線D501は、隣接ブロック0との間で拡散層線BN15，BN05を互いに接続する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 2 7 2 3 9
受付番号	5 0 2 0 1 7 0 1 3 5 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 1 月 1 2 日

< 認定情報・付加情報 >

【提出日】 平成14年11月11日

次頁無

特願 2 0 0 2 - 3 2 7 2 3 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 2 0 3 6]

1. 変更年月日 1 9 9 0 年 8 月 1 3 日
 [変更理由] 新規登録
 住 所 神奈川県川崎市中原区小杉町 1 丁目 4 0 3 番 5 3
 氏 名 日本電気アイシーマイコンシステム株式会社

2. 変更年月日 2 0 0 1 年 5 月 2 1 日
 [変更理由] 名称変更
 住 所 神奈川県川崎市中原区小杉町 1 丁目 4 0 3 番 5 3
 氏 名 エヌイーシーマイクロシステム株式会社